

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030021011 A
(43)Date of publication of application: 12.03.2003

(21)Application number: 1020010054430
(22)Date of filing: 05.09.2001

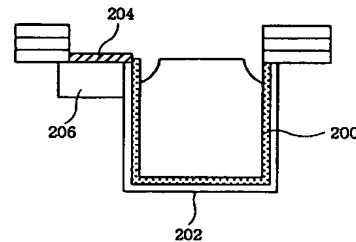
(71)Applicant: DONGBU ELECTRONICS CO., LTD.
(72)Inventor: LEE, JE YEON

(51)Int. Cl. H01L 21/76

(54) METHOD FOR FORMING OXIDE LAYER IN SHALLOW TRENCH ISOLATION PROCESS OF SEMICONDUCTOR

(57) Abstract:

PURPOSE: A method for forming an oxide layer in a shallow trench isolation process of a semiconductor is provided to prevent formation of a salicide layer as a sidewall of a trench by transforming a part of an oxide layer to an oxynitride layer.



CONSTITUTION: An oxide layer is grown or deposited on a surface of a shallow trench isolation layer(202). The oxide layer is partially transformed to an oxynitride layer(200) by using an annealing gas or one of NO gas, N₂O gas, and NH₃ gas. The oxynitride layer(200) is used for preventing formation of a salicide layer(204) on a sidewall of the shallow trench isolation layer(202). The process temperature for forming the oxynitride layer(200) is 700 to 1150 degrees centigrade.

© KIPO 2003

Legal Status

BEST AVAILABLE COPY

AM

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/76

(11) 공개번호 특2003-0021011
(43) 공개일자 2003년03월12일

(21) 출원번호 10-2001-0054430
(22) 출원일자 2001년09월05일
(71) 출원인 동부전자 주식회사
서울 강남구 역삼1동 838
(72) 발명자 이재연
서울특별시서초구반포동 1057반포아파트 18-307
(74) 대리인 장성구, 김원준

심사청구 : 있음

(54) 반도체 셀로우 트렌치 분리 공정에서의 산화막 형성 방법

요약

반도체 셀로우 트렌치 분리(Shallow Trench Isolation) 공정에서의 산화막 형성 방법을 개시한다.

본 발명은, 반도체 셀로우 트렌치 분리 공정에서의 산화막 형성 방법에 있어서, 산화막을 성장 또는 증착시킨 후에 NO 가스를 사용하여 어닐링하는 과정과; 산화막의 일부를 산화 질화막(oxynitride)으로 변환시키는 과정으로 이루어진다.

따라서, 본 발명은 STI 표면에 산화막을 성장시킬 때 동일 공정에서 짧은 시간동안 NO 가스를 사용하여 어닐링하는 공정을 추가함으로써, 산화 질화막을 형성시켜 후속 공정에서 살리사이드 형성을 방지하여 홀에 대한 공정 마진을 높이고, 생산성 향상에 따른 품질 개선 및 수율 향상을 높일 수 있는 효과가 있다.

도표

도2

명세서

도면의 간단한 설명

도 1a 및 도 1b는 통상의 반도체 셀로우 트렌치 분리 공정을 설명하기 위한 도면,

도 2는 본 발명에 따른 방법을 설명하기 위한 반도체 셀로우 트렌치 분리 공정 단면도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 층진막
102, 202 : STI
104, 204 : 살리사이드층
106, 206 : 집합층
108 : 홀
110 : 금속층
112 : 콘택트 홀
200 : 산화 질화막

발명의 상세한 설명

발명의 목적

고명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 공정의 셀로우 트렌치 분리(Shallow Trench Isolation : 이하, STI라 약칭함) 기술에 관한 것으로, 특히, 트렌치 측벽으로의 살리사이드(self-aligned silicide)층 형성을 억제하는데 적합한 반도체 STI 공정에서의 산화막 형성 방법에 관한 것이다.

반도체 STI 공정의 산화막 형성 과정에서는, 습식 화학물질, 예컨대, HF, BOE 등이 사용되는데, 이러한 화학물질의 작용으로 인해 STI 가장자리에 홈(divot)이 발생하게 된다.

이러한 홀이 살리사이드층과 반응하면 접합 누설 전류 및 접합 파손의 발생 빈도를 증가시켜 제품 특성 및 수율 저하를 초래할 수 있다는 문제가 제기되었다.

즉, 도 1a에 도시한 바와 같이, 반도체 평탄화 공정 이후, 습식 화학물질의 사용 빈도가 증가하면서 홀(108)이 발생되어 살리사이드(104) 형성 후에 접합 누설 전류 또는 접합 파손의 발생 빈도가 증가하여 제품 품질 저하 및 수율 저하를 초래할 소지가 있었다.

또한, 도 1b에 도시한 바와 같이, 소스, 드레인 영역에 미스 얼라인되는(miss aligned) 콘택트 홀(112)을 형성 시, 산화막 오버 에칭에 따른 홀(108) 현상의 심화를 유발하여 상술한 바와 같은 동일한 문제점을 유발할 소지가 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 문제점을 해결하기 위해 안출한 것으로, STI 표면에 산화막을 성장 또는 증착시킨 후에 NO 가스로 어닐링(anneal)하는 공정을 추가하여 산화막의 일부를 산화 질화막(oxynitride)으로 변환시킴으로써, STI 측벽으로의 살리사이드 형성을 방지하여 반도체 수율 및 특성을 향상시키도록 한 반도체 STI 공정에서의 산화막 형성 방법을 제공하는데 그 목적이 있다.

이러한 목적을 달성하기 위하여 본 발명은, 반도체 STI 공정에서의 산화막 형성 방법에 있어서, 산화막을 성장 또는 증착시킨 후에 NO 가스를 사용하여 어닐링하는 과정과; 산화막의 일부를 산화 질화막으로 변환시키는 과정을 포함하는 것을 특징으로 하는 반도체 STI 공정에서의 산화막 형성 방법을 제공한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.

설명에 앞서, 본 발명의 핵심 기술 요지는, NO(또는 N_2O , 또는 NH_3) 어닐링 공정을 적용하여 산화막의 일부를 산화 질화막으로 변환시킴으로써 STI 에지 부분으로의 살리사이드 형성을 방지하도록 한다는 것으로, 이러한 기술로부터 본 발명의 목적으로 하는 바를 용이하게 달성할 수 있을 것이다.

이때, NO 어닐링 공정이라 함은, STI 표면에 산화막을 성장시킨 후 NO 등의 가스를 사용하여 어닐링을 실시하면 산화막내에 질소 성분이 확산하여 산화막과 반응함으로써 산화 질화막을 형성시키는 공정을 말하며, 이러한 산화 질화막은 일반 산화막과 비교시 HF 계열의 에칭 용액에 대한 에칭 비율이 작고 살리사이드 막이 형성되지 않도록 하는 특성을 지니고 있다.

도 2는 본 발명의 바람직한 실시예에 따른 반도체 STI 공정에서의 산화막 형성 방법을 설명하기 위한 공정 단면도이다.

도 2a에 도시한 바와 같이, STI(202) 표면에 산화막을 성장 또는 증착시킨 후에, 어닐링 가스, 바람직하게는, NO, N_2O , NH_3 가스 중 하나의 가스, 보다 바람직하게는 NO 가스를 사용하여 공정과 동시에 또는 추가 어닐링 공정을 실시하면, 산화막의 일부가 산화 질화막(200)으로 변환됨을 알 수 있다.

이러한 산화 질화막(200)은 STI(202) 측벽으로의 살리사이드(204) 형성을 방지하도록 하는 바, 폼에 대한 공정 특성을 향상시킬 수 있을 것이다.

이때, 이들 가스를 사용하여 산화 질화막을 형성하는데 수반되는 공정 온도 조건은, 바람직하게는, 700~1150°C로 설정될 수 있다.

이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위내에서 여러 가지 변형이 가능한 것은 물론이다.

발명의 효과

따라서, 본 발명은 STI 표면에 산화막을 성장시킬 때 동일 공정에서 짧은 시간동안 NO 가스를 사용하여 어닐링하는 공정을 추가함으로써, 산화 질화막을 형성시켜 후속 공정에서 살리사이드 형성을 방지하여 홀에 대한 공정 마진을 높이고, 생산성 향상에 따른 품질 개선 및 수율 향상을 높일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 셀로우 트렌치 분리(Shallow Trench Isolation) 공정에서의 산화막 형성 방법에 있어서,

상기 산화막을 성장 또는 증착시킨 후에 NO 가스를 사용하여 어닐링하는 과정과;

상기 산화막의 일부를 산화 질화막(oxynitride)으로 변환시키는 과정을 포함하는 것을 특징으로 하는 반도체 셀로우 트렌치 분리 공정에서의 산화막 형성 방법.

청구항 2. 제 1 항에 있어서,

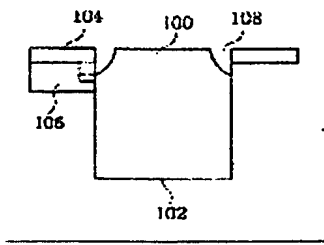
상기 어닐링 과정에 사용되는 가스는 N_2O 또는 NH_3 인 것을 특징으로 하는 반도체 셀로우 트렌치 분리 공정에서의 산화막 형성 방법.

청구항 3. 제 1 항에 있어서,

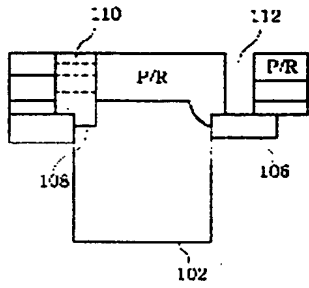
상기 산화 질화막을 형성하는데 수반되는 공정 온도 조건은 700~1150°C인 것을 특징으로 하는 반도체 셀로우 트렌치 분리 공정에서의 산화막 형성 방법.

도면

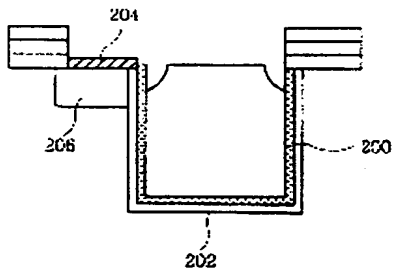
도면 1a



도면 1b



도면 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.